

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06303134
PUBLICATION DATE : 28-10-94

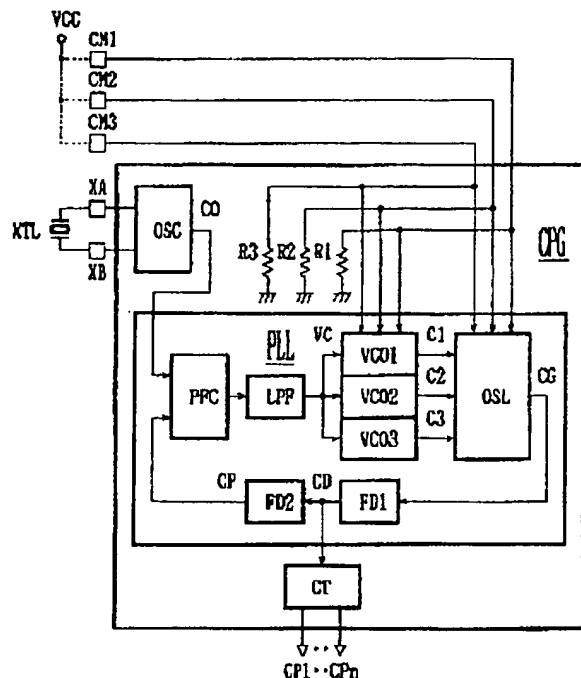
APPLICATION DATE : 15-04-93
APPLICATION NUMBER : 05112267

APPLICANT : HITACHI MICOM SYST:KK;

INVENTOR : KUCHIKI TAKAYUKI;

INT.CL. : H03L 7/18 G06F 15/78

TITLE : PLL CIRCUIT



ABSTRACT : **PURPOSE:** To extend the available frequency of the PLL circuit by providing plural VCOs whose output frequency characteristic with respect to a control voltage differs and validating their output signals alternatively according to a prescribed selection control signal.

CONSTITUTION: An oscillation circuit OSC applies an input clock signal CO to a phase comparator circuit PFC of the PLL circuit. A clock shaping circuit CT delays and shapes the clock signal CD from a frequency divider circuit FD1 to generate n-phase system clock signals CP1-CPn, which are fed to a microcomputer. A control voltage VC is fed in common to VCOs 1-3 via an LPF and a corresponding selection signal is fed through external terminals CM1-CM3. The terminals CM 1-3 are coupled with a power supply voltage VCC of the circuit alternatively depending on the frequency of the signals CP 1-CPn. Thus, the available frequency of the microcomputer is extended.

COPYRIGHT: (C)1994,JPO



ABSTRACT / ZUSAMMENFASSUNG / ABREGE

04025528.3

An integrated circuit is provided, which includes a phase-locked loop (PLL) that is fabricated on the integrated circuit and has a selectable loop filter capacitance and a selectable output frequency range. The PLL (10) comprises a range select input (20) and a plurality of VCOs which are selectively coupled between a loop filter (26) and the PLL output as a function of the range select input, the VCOs having different output frequency ranges. Preferably the filter capacitance value is also selected according to the range select input. The VCOs which are not selected are powered down to reduce power consumption. Allows frequency range selection after fabrication and reduces design and fabrication cycle times.

BNSDOCID: <JP_____406303134A_1_>

【特許請求の範囲】

【請求項1】 その制御電圧に対する出力周波数特性がそれぞれ異なりかつその出力信号が所定の選択制御信号に従って択一的に有効とされる複数の電圧制御型発振回路を具備することを特徴とするPLL回路。

【請求項2】 上記複数の電圧制御型発振回路の上記制御電圧に対する出力周波数特性は、その使用可能な周波数領域が互いに連続すべく設定されるものであることを特徴とする請求項1のPLL回路。

【請求項3】 上記複数の電圧制御型発振回路は、上記選択制御信号に従って択一的に動作状態とされ、択一的に所定の動作電流を流すものであることを特徴とする請求項1又は請求項2のPLL回路。

【請求項4】 上記PLL回路は、シングルチップ型マイクロコンピュータのクロック発生回路に含まれるものであって、上記選択制御信号は、上記マイクロコンピュータの所定の外部端子を介して供給されるものであることを特徴とする請求項1、請求項2又は請求項3のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、PLL（フェーズロックループ）回路に関するもので、例えば、シングルチップ型マイクロコンピュータのクロック発生回路に含まれるPLL回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】 入力クロック信号と内部クロック信号の位相差に応じた位相差信号を形成する位相比較回路と、この位相差信号に応じた制御電圧を形成するローパスフィルタと、この制御電圧に応じたパルス信号を形成する電圧制御型発振回路とを含み、入力クロック信号に位相同期された内部クロック信号を形成するPLL回路がある。また、PLL回路を含むクロック発生回路があり、このようなクロック発生回路を含むシングルチップ型マイクロコンピュータがある。

【0003】 PLL回路ならびにその基本原理については、例えば、平成4年4月1日、シータスク社発行の『PLLの設計と実用回路－実験を通して学ぶ－（第4版）』第1頁～第2頁等に記載されている。

【0004】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立って、そのクロック発生回路に上記PLL回路を用いたシングルチップ型のマイクロコンピュータを開発した。このマイクロコンピュータにおいて、クロック発生回路CPGは、図7に示されるように、外部端子XA及びXBを介して水晶発振子XTLに結合されることで水晶発振子XTLの固有振動数と同一周波数の入力クロック信号COを形成する発振回路OSCと、位相比較回路PFC、ローパスフィルタLPF、電圧制御型発

振回路VCOならびに分周回路FD1及びFD2を含むPLL回路（PLL）と、分周回路FD1の出力信号つまりクロック信号CDを受けるクロック整形回路CTとを含む。このうち、PLL回路の位相比較回路PFCは、発振回路OSCから出力される入力クロック信号COと分周回路FD2の出力信号として得られる内部クロック信号CPの位相を比較し、その位相差に応じたパルス幅を有する位相差信号を形成する。また、ローパスフィルタLPFは、位相比較回路PFCから出力される位相差信号のパルス幅に応じた直流電位を有する制御電圧VCを形成し、電圧制御型発振回路VCOは、ローパスフィルタLPFから出力される制御電圧VCに応じた所定の周波数を有するクロック信号CGを形成する。電圧制御型発振回路VCOから出力されるクロック信号CGは、分周回路FD1によりその周波数がp分の1に分周されてクロック信号CDとなり、さらに分周回路FD2によりq分の1に分周されて内部クロック信号CPとなる。

【0005】 PLL回路を構成する分周回路FD1の出力信号つまりクロック信号CDは、クロック整形回路CTによって遅延・整形され、n相のシステムクロック信号CP1～CPnとなる。これらのシステムクロック信号は、中央処理装置CPUを含むマイクロコンピュータの各部に供給され、これらを同期動作させるための基本クロック信号となる。これにより、このマイクロコンピュータでは、比較的低い固有振動数を有する水晶発振子XTLをもとに、そのq倍の周波数を有するシステムクロック信号CP1～CPnを形成することができる。

【0006】 ところが、マイクロコンピュータの多機能化が進みその応用分野が拡大されるにしたがって、上記のようなPLL回路には次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、上記PLL回路は1個の電圧制御型発振回路VCOを含み、システムクロック信号CP1～CPnの制御可能な周波数領域は、この電圧制御型発振回路VCOの出力周波数特性によって左右される。周知のように、電圧制御型発振回路VCOの出力周波数を安定かつ確に制御できる周波数範囲は、水晶発振子XTLの固有振動数のバラツキを補償しうる程度の比較的狭いものとされる。しかし、マイクロコンピュータの多機能化が進みその応用分野が拡大されると、相応してそのシステムクロック信号として要求される周波数範囲も拡大されるため、上記PLL回路ではこのようなニーズに対応できなくなり、これによってマイクロコンピュータの多機能化ならびにその適用可能な応用分野が制約を受けるものである。

【0007】 この発明の目的は、使用可能な周波数領域の拡大を図ったPLL回路を提供することにある。この発明の他の目的は、PLL回路を含むクロック発生回路を備えるシングルチップ型マイクロコンピュータ等の多機能化を推進し、その適用可能な応用分野を拡大するこ

とにある。

【0008】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、シングルチップ型マイクロコンピュータ等のクロック発生回路に含まれるPLL回路に、それぞれ異なる出力周波数特性を有しかつその使用可能な周波数領域が互いに連続すべく設計される複数の電圧制御型発振回路と、これらの電圧制御型発振回路の出力信号を所定の選択制御信号に従って択一的に選択する出力選択回路とを設けるとともに、複数の電圧制御型発振回路を上記選択制御信号に従って択一的に動作状態とする。

【0010】

【作用】上記手段によれば、電圧制御型発振回路の消費電流を抑制しつつ、PLL回路の使用可能な周波数領域を拡大することができる。この結果、PLL回路を含むクロック発生回路を備えるシングルチップ型マイクロコンピュータ等の多機能化を推進し、その適用可能な応用分野を拡大することができる。

【0011】

【実施例】図1には、この発明が適用されたPLL回路を含むクロック発生回路CPGを備えるシングルチップ型マイクロコンピュータの一実施例のブロック図が示されている。同図により、まずこの実施例のマイクロコンピュータの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、特に制限されないが、水晶発振子XTLを除き、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。

【0012】図1において、この実施例のマイクロコンピュータは、ストアプログラム方式の中央処理装置CPUをその基本構成要素とする。また、外部端子XA及びXBを介して水晶発振子XTLに結合されるクロック発生回路CPGを備え、さらに内部バスBUSを介して上記中央処理装置CPUに結合されるタイマー回路TIM、リードオンリーメモリROM、ランダムアクセスメモリRAMならびにシリアルコミュニケーションインタフェースSCIを備える。

【0013】ここで、中央処理装置CPUは、クロック発生回路CPGから供給されるシステムクロック信号CP1～CPnに従って同期動作し、リードオンリーメモリROMに格納されるプログラムに従って所定の演算処理を実行するとともに、マイクロコンピュータの各部を

制御・統轄する。また、リードオンリーメモリROMは、所定の記憶容量を有するマスクROM等からなり、中央処理装置CPUの制御に必要なプログラムや固定データ等を格納する。さらに、ランダムアクセスメモリRAMは、所定の記憶容量を有するスタティック型RAM等からなり、中央処理装置CPUによる演算結果や制御データ等を一時的に格納する。

【0014】次に、タイマー回路TIMは、クロック発生回路CPGから供給されるシステムクロック信号CP1～CPnをもとに所定の時間計時を行い、中央処理装置CPUの時間管理やカレンダー機能を実現する。また、シリアルコミュニケーションインタフェースSCIは、例えばマイクロコンピュータの外部に結合されるシリアル入出力装置等と中央処理装置CPU又はランダムアクセスメモリRAMとの間の一連のデータ授受を制御・管理する。

【0015】一方、クロック発生回路CPGは、水晶発振子XTLの固有振動数に対応した所定のシステムクロック信号CP1～CPnを形成し、マイクロコンピュータの各部に供給する。この実施例において、クロック発生回路CPGは、後述するように、PLL回路を含み、このPLL回路は、その出力周波数特性がそれぞれ異なる3個の電圧制御型発振回路VCO1～VCO3と、これらの電圧制御型発振回路の出力信号を択一的に有効とする出力選択回路OSLとを含む。電圧制御型発振回路VCO1～VCO3は、外部端子CM1～CM3を介して供給される選択制御信号CM1～CM3に従って択一的に動作状態とされ、出力選択回路OSLは、上記選択制御信号CM1～CM3に従って電圧制御型発振回路VCO1～VCO3の出力信号を択一的に選択する。なお、外部端子CM1～CM3は、必要とされるシステムクロック信号CP1～CPnの周波数に応じてその一つが択一的に回路の電源電圧に結合され、その他は開放状態のままとされる。

【0016】図2には、図1のマイクロコンピュータに含まれるクロック発生回路CPGならびにこれに含まれるPLL回路（PLL）の一実施例のブロック図が示されている。また、図3及び図4には、図2のクロック発生回路のPLL回路に含まれる電圧制御型発振回路VCO1及び出力選択回路OSLの一実施例の回路図がそれぞれ示され、図6には、図2のクロック発生回路CPGのPLL回路の一実施例の出力周波数特性図が示されている。これらの図をもとに、この実施例のマイクロコンピュータのクロック発生回路及びPLL回路の具体的な構成及び動作ならびにその特徴について説明する。なお、電圧制御型発振回路に関する以下の説明は電圧制御型発振回路VCO1を例に進めるが、その他の電圧制御型発振回路VCO2及びVCO3については、この電圧制御型発振回路VCO1と同様な構成とされるため類推されたい。また、図3において、そのチャンネル（パッ

ケゲート)部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0017】図2において、この実施例のクロック発生回路CPGは、一対の外部端子XA及びXBを介して水晶発振子XTLに結合される発振回路OSCと、位相比較回路PFC、ローパスフィルタLPF、3個の電圧制御型発振回路VCO1~VCO3、出力選択回路OSLならびに分周回路FD1及びFD2を含むPLL回路と、PLL回路の分周回路FD1の出力信号つまりクロック信号CDを受けるクロック整形回路CTを含む。このうち、発振回路OSCは、水晶発振子XTLを励起する帰還増幅回路を含み、水晶発振子XTLの固有振動数と同じ周波数の入力クロック信号COを形成して、PLL回路の位相比較回路PFCの一方の入力端子に供給する。また、クロック整形回路CTは、分周回路FD1から出力されるクロック信号CDを遅延・整形して、n相のシステムクロック信号CP1~CPnを形成し、マイクロコンピュータの各部に供給する。

【0018】PLL回路の位相比較回路PFCの他方の入力端子には、分周回路FD2の出力信号つまり内部クロック信号CPが供給される。位相比較回路PFCは、上記入力クロック信号COと内部クロック信号CPの位相(周波数)を比較し、その位相差に応じたパルス幅を有する位相差信号を形成する。この位相差信号は、ローパスフィルタLPFによりそのパルス幅に応じた直流電位を有する制御電圧VCに変換され、3個の電圧制御型発振回路VCO1~VCO3に共通に供給される。この実施例において、ローパスフィルタLPFから出力される制御電圧VCの電位は、内部クロック信号CPの位相が入力クロック信号COの位相より遅れることによって徐々に高くされ、逆に内部クロック信号CPの位相が入力クロック信号COの位相より進むことによって徐々に低くされる。

【0019】電圧制御型発振回路VCO1~VCO3には、上記のように、ローパスフィルタLPFの出力信号つまり制御電圧VCが共通に供給されるとともに、外部端子CM1~CM3を介して対応する選択制御信号CM1~CM3がそれぞれ供給される。これらの外部端子CM1~CM3と回路の接地電位との間には、プルダウン抵抗R1~R3がそれぞれ設けられる。この実施例において、外部端子CM1~CM3は、システムクロック信号CP1~CPnの周波数に応じてその一つが択一的に回路の電源電圧VCCに結合され、その他は開放状態のままとされる。したがって、選択制御信号CM1~CM3は、対応する外部端子CM1~CM3が回路の電源電圧VCCに結合されるときハイレベルとされ、開放状態とされるとき回路の接地電位のようなロウレベルとされるものとなる。

【0020】ここで、電圧制御型発振回路VCO1~V

CO3は、図3の電圧制御型発振回路VCO1に代表して示されるように、それぞれ回路の電源電圧及び接地電位間に直列形態に設けられた4個のPチャンネルMOSFETP3及びP4ならびにNチャンネルMOSFETN4及びN3、PチャンネルMOSFETP5及びP6ならびにNチャンネルMOSFETN6及びN5、PチャンネルMOSFETP7及びP8ならびにNチャンネルMOSFETN8及びN7、PチャンネルMOSFETP9及びPAならびにNチャンネルMOSFETNA及びN9あるいはPチャンネルMOSFETPB及びPCならびにNチャンネルMOSFETNC及びNBからなる5個のインバータV1~V5を含む。このうち、MOSFETP4及びN4、P6及びN6、P8及びN8、PA及びNAならびにPC及びNCは、そのゲート及びドレインがそれぞれ共通結合されることによってCMOS(相補型MOS)インバータ形態とされ、MOSFETP3及びN3、P5及びN5、P7及びN7、P9及びN9ならびにPB及びNBは、これらのCMOSインバータに動作電流を供給するための電流源として作用する。

【0021】CMOSインバータ形態とされるMOSFETP4及びN4、P6及びN6、P8及びN8、PA及びNAならびにPC及びNCの共通結合されたゲートは、対応するインバータV1~V5の入力端子となり、これらのMOSFETの共通結合されたドレインは、対応するインバータV1~V5の出力端子となる。インバータV1~V5の入力端子及び出力端子は、順次リング状に結合され、これによって1個のリングオシレータが構成される。このリングオシレータの出力端子つまりMOSFETPC及びNCの共通結合されたドレインは、電圧制御型発振回路VCO1の出力端子C1に結合されるとともに、NチャンネルMOSFETNEを介して回路の接地電位に結合される。

【0022】インバータV1~V5を構成するMOSFETP3、P5、P7、P9及びPBのゲートは共通結合され、さらにPチャンネルMOSFETP1及びP2のゲートに結合される。このうち、MOSFETP2のソースは回路の電源電圧に結合され、そのドレインはNチャンネルMOSFETN2及びNDを介して回路の接地電位に結合される。また、MOSFETP1のソースは回路の電源電圧に結合され、そのドレインは、そのゲートに結合されるとともに、NチャンネルMOSFETN1及び上記MOSFETNDを介して回路の接地電位に結合される。MOSFETN2のゲートは、そのドレインに結合されるとともに、インバータV1~V5を構成するMOSFETN3、N5、N7、N9及びNBのゲートに共通結合される。一方、MOSFETN1のゲートには、前記ローパスフィルタLPFの出力信号つまり制御電圧VCが供給される。また、MOSFETNDのゲートには、前記選択制御信号CM1が供給され、上

記MOSFETNEのゲートには、そのインバータV6による反転信号が供給される。

【0023】これらのことから、MOSFETP1は、MOSFETN1のドレイン電流を伝達する形でMOSFETP1ならびにインバータV1～V5を構成するMOSFETP3、P5、P7、P9及びPBと電流ミラー形態とされ、MOSFETN2は、MOSFETP2のドレイン電流を伝達する形でインバータV1～V5を構成するMOSFETN3、N5、N7、N9及びNBと電流ミラー形態とされる。言うまでもなく、MOSFETN1のドレイン電流は、MOSFETNDがオン状態とされることを条件に選択的に得られ、その値は、制御電圧VCの電位に応じたものとなる。また、MOSFETP3、P5、P7、P9及びPBならびにN3、N5、N7、N9及びNBに伝達される電流の値は、インバータV1～V5の動作速度を決定し、これらのインバータからなるリングオシレータの発振周波数を決定する。したがって、電圧制御型発振回路VCO1の出力信号つまりクロック信号C1の周波数は、制御電圧VCの電位が高くされることで、言い換えるならば内部クロック信号CPの位相が入力クロック信号COの位相より遅れることによって徐々に高くされ、逆に制御電圧VCの電位が低くされることで、言い換えるならば内部クロック信号CPの位相が入力クロック信号COの位相より進むことによって徐々に低くされるものとなる。

【0024】選択制御信号CM1がロウレベルとされインバータV6の出力信号がハイレベルとされるとき、電圧制御型発振回路VCO1では、MOSFETNDがオフ状態とされ、MOSFETNEがオン状態とされる。このため、MOSFETN1は、制御電圧VCに応じたドレイン電流を流すことが出来ず、インバータV1～V5を構成するMOSFETP3、P5、P7、P9及びPBならびにN3、N5、N7、N9及びNBに伝達される電流の値もゼロとなる。また、MOSFETNEがオン状態とされることで、電圧制御型発振回路VCO1の出力端子C1がこのMOSFETNEを介して回路の接地電位に結合される。この結果、電圧制御型発振回路VCO1は、その出力信号つまりクロック信号C1をロウレベルに固定する形で非動作状態となり、その動作電流も遮断される。

【0025】一方、選択制御信号CM1がハイレベルとされインバータV6の出力信号がロウレベルとされると、電圧制御型発振回路VCO1では、MOSFETNDがオン状態とされ、MOSFETNEはオフ状態とされる。このため、電圧制御型発振回路VCO1の出力端子C1が、MOSFETNEを介する回路の接地電位への短絡から解放され、MOSFETN1は、制御電圧VCに応じたドレイン電流を流す。このドレイン電流は、MOSFETP1を介してインバータV1～V5を構成するMOSFETP3、P5、P7、P9及びPBに伝

達され、また、MOSFETP2及びN2を介してインバータV1～V5を構成するMOSFETN3、N5、N7、N9及びNBに伝達される。これにより、インバータV1～V5からなるリングオシレータは動作状態とされ、その出力端子つまり電圧制御型発振回路VCO1の出力端子C1には、制御電圧VCの電位に応じた所定の周波数を有するクロック信号C1が得られる。

【0026】以上の説明から明らかなように、PLL回路に設けられる3個の電圧制御型発振回路VCO1～VCO3は、対応する選択制御信号CM1～CM3がハイレベルとされることで選択的に動作状態とされる。この動作状態において、電圧制御型発振回路VCO1～VCO3は、制御電圧VCの電位に応じた周波数を有するクロック信号C1～C3を形成し、出力選択回路OSLに供給する。また、それが非動作状態とされるき、電圧制御型発振回路VCO1～VCO3の動作電流は遮断され、これによってPLL回路の低消費電力化が図られる。

【0027】次に、出力選択回路OSLは、図4に示されるように、その一方の入力端子に対応する電圧制御型発振回路VCO1～VCO3の出力信号つまりクロック信号C1～C3を受ける3個のアンド（AND）ゲートAG1～AG3と、その第1ないし第3の入力端子にアンドゲートAG1～AG3の出力信号をそれぞれ受けるノア（NOR）ゲートNOG1を含む。アンドゲートAG1～AG3の他方の入力端子には、対応する選択制御信号CM1～CM3がそれぞれ供給される。また、ノアゲートNOG1の出力信号は、出力選択回路OSLの出力信号つまりクロック信号CGとして分周回路FD1の入力端子に供給される。

【0028】これにより、出力選択回路OSLの出力端子CGには、選択制御信号CM1がハイレベルとされるとき、電圧制御型発振回路VCO1の出力信号つまりクロック信号C1の反転信号に対応するクロック信号CGが出力され、選択制御信号CM2又はCM3がハイレベルとされるとき、電圧制御型発振回路VCO2又はVCO3の出力信号つまりクロック信号C2又はC3の反転信号に対応するクロック信号CGが出力されるものとなる。

【0029】出力選択回路OSLの出力信号つまりクロック信号CGは、分周回路FDによってその周波数がp分の1に分周され、クロック信号CDとなる。また、クロック信号CDは、前述のように、クロック整形回路CTにより遅延・整形されてn相のシステムクロック信号CP1～CPnとなり、さらに分周回路FD2によってその周波数がq分の1に分周されて、内部クロック信号CPとなる。以上のことから、この実施例のPLL回路では、電圧制御型発振回路VCO1～VCO3つまりは出力選択回路OSLの出力信号として、水晶発振子XTLの固有振動数のp×q倍の周波数を有するクロック信

号CGが得られ、これを分周することによってそのq倍の周波数を有するクロック信号CDつまりはシステムクロック信号CP1~CPnが得られる。この結果、比較的低い固有振動数の水晶発振子XTLを利用して、比較的高い周波数のシステムクロック信号を得ることができ、これによってマイクロコンピュータの高速化を推進できるものである。

【0030】ところで、この実施例のPLL回路において、電圧制御型発振回路VCO1~VCO3は、図6に示されるように、制御電圧VCに対してそれぞれ異なる出力周波数特性を持つべく設計され、しかもその使用可能な周波数領域は互いに連続するものとされる。すなわち、電圧制御型発振回路VCO1は、制御電圧VCが電位V1から電位V2に変化されることにより、周波数F1~F2に対応した使用可能な周波数領域を有する。また、電圧制御型発振回路VCO2は、制御電圧VCが電位V1から電位V2に変化されることにより、周波数F2~F3に対応した使用可能な周波数領域を有し、電圧制御型発振回路VCO3は、制御電圧VCが電位V1から電位V2に変化されることにより、周波数F3~F4に対応した使用可能な周波数領域を有する。これらのことから、この実施例のマイクロコンピュータは、そのシステムクロック信号として比較的大きな周波数領域に対応しうるものとなり、これによってマイクロコンピュータの多機能化ならびにその適用可能な応用分野の拡大を図ることができるものとなる。

【0031】以上の本実施例に示されるように、この発明をシングルチップ型マイクロコンピュータのクロック発生回路に含まれるPLL回路に適用することで、次のような作用効果が得られる。すなわち、

(1) シングルチップ型マイクロコンピュータ等のクロック発生回路に含まれるPLL回路に、それぞれ異なる出力周波数特性を有しかつその使用可能な周波数領域が互いに連続する複数の電圧制御型発振回路と、これらの電圧制御型発振回路の出力信号を所定の選択制御信号に従って択一的に選択する出力選択回路とを設けることで、PLL回路ひいてはマイクロコンピュータの使用可能な周波数領域を拡大することができるという効果が得られる。

(2) 上記(1)項において、複数の電圧制御型発振回路を上記選択制御信号に従って択一的に動作状態とすることで、電圧制御型発振回路の動作電流を抑制することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、その低消費電力化を図りつつ、シングルチップ型マイクロコンピュータ等の多機能化を推進し、その適用可能な応用分野を拡大することができるという効果が得られる。

【0032】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない

範囲で種々変更可能であることは言うまでもない。例えば、図1において、外部端子XA及びXBには、寄生発振防止用の容量を付加することができる。また、マイクロコンピュータは、他の各種の機能ブロックを備えることができるし、そのブロック構成は種々の実施形態を探りうる。

【0033】図2において、PLL回路は、4個以上の電圧制御型発振回路を備えることができるし、3個以上の分周回路を備えることもできる。また、選択制御信号CM1~CM3の入力条件はこの実施例による制約を受けず、プルダウン抵抗R1~R3も入力条件に応じてその結合形態が変化する。マイクロコンピュータが入力クロック信号COの周波数を判定するための機能ブロックを備える場合、選択制御信号CM1~CM3を、例えば内部バスBUSを介して中央処理装置CPUからPLL回路に与えるようにしてもよい。

【0034】図3において、リングオシレータを構成するインバータの数は任意に設定できるし、電圧制御型発振回路VCO1~VCO3を選択的に動作状態とするための方法も任意である。出力選択回路OSLは、図5に示されるように、選択制御信号CM1~CM3が択一的にハイレベルとされることで対応する電圧制御型発振回路VCO1~VCO3の出力信号つまりクロック信号C1~C3を選択的に伝達するクロックドインバータCV1~CV3によって構成することができる。図6において、電圧制御型発振回路VCO1~VCO3の出力周波数特性は、その使用可能な周波数領域が必ずしも連続するものである必要はない。さらに、図2に示されるクロック発生回路CPG及びPLL回路のブロックの構成や、図3~図5に示される電圧制御型発振回路VCO1~VCO3及び出力選択回路OSLの具体的な構成及び電源電圧の極性等は、種々の実施形態を探りうる。

【0035】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータのクロック発生回路に含まれるPLL回路に適用した場合について説明したが、それに限定されるものではなく、例えば、PLL回路として単体で形成されるものや、同様なPLL回路を含む各種の論理集積回路装置及び通信用集積回路装置等にも適用できる。この発明は、少なくとも電圧制御型発振回路を含むPLL回路ならびにこのようなPLL回路を含む半導体装置に広く適用できる。

【0036】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、シングルチップ型マイクロコンピュータ等のクロック発生回路に含まれるPLL回路に、それぞれ異なる出力周波数特性を有しかつその使用可能な周波数領域が互いに連続する複数の電圧制御型発振回路と、これらの電圧制御型発振回路

の出力信号を所定の選択制御信号に従って択一的に選択する出力選択回路とを設けるとともに、複数の電圧制御型発振回路を上記選択制御信号に従って択一的に動作状態とすることで、電圧制御型発振回路の消費電流を抑制しつつ、PLL回路においてはマイクロコンピュータの使用可能な周波数領域を拡大することができる。この結果、PLL回路を含むクロック発生回路を備えるシングルチップ型マイクロコンピュータ等の多機能化を推進し、その適用可能な応用分野を拡大することができる。

【図面の簡単な説明】

【図1】この発明が適用されたPLL回路を含むクロック発生回路を備えるマイクロコンピュータの一実施例を示すブロック図である。

【図2】図1のマイクロコンピュータに設けられるクロック発生回路ならびにこれに含まれるPLL回路の一実施例を示すブロック図である。

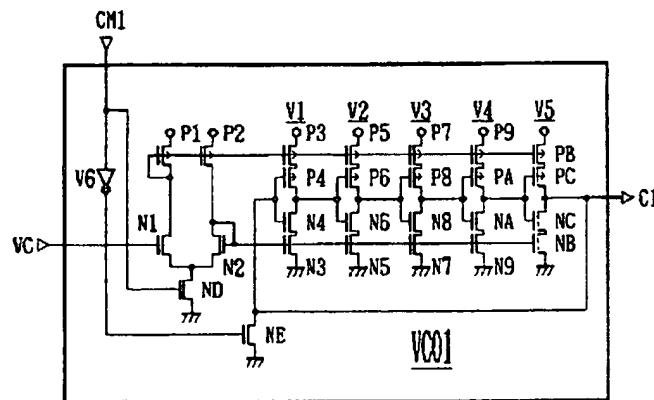
【図3】図2のPLL回路の電圧制御型発振回路の一実施例を示す回路図である。

【図4】図2のPLL回路の出力選択回路の第1の実施例を示す回路図である。

【図5】図2のPLL回路の出力選択回路の第2の実施例を示す回路図である。

【図3】

図3 電圧制御型発振回路回路図



【図6】図2のPLL回路の一実施例を示す出力周波数特性図である。

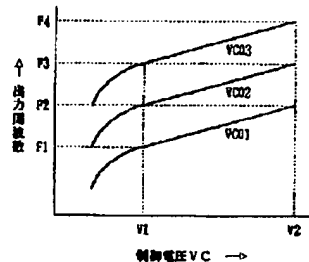
【図7】この発明に先立って本願発明者等が開発したマイクロコンピュータのクロック発生回路の一例を示すブロック図である。

【符号の説明】

CPU・・・中央処理装置、CPG・・・クロック発生回路、XTL・・・水晶発振子、BUS・・・内部バス、TIM・・・タイマー回路、ROM・・・リードオンリーメモリ、RAM・・・ランダムアクセスメモリ、SCI・・・シリアルコミュニケーションインタフェース、OSC・・・発振回路、PLL・・・PLL（フェーズロックループ）回路、PFC・・・位相比較回路、LPF・・・ローパスフィルタ、VCO1～VCO3、VCO・・・電圧制御型発振回路、OSL・・・出力選択回路、FD1～FD2・・・分周回路、CT・・・クロック整形回路、R1～R3・・・抵抗、P1～PC・・・PチャンネルMOSFET、N1～NE・・・NチャンネルMOSFET、V1～V6・・・インバータ、AG1～AG3・・・アンド（AND）ゲート、NOG1・・・ノア（NOR）ゲート、CV1～CV3・・・クロックドインバータ。

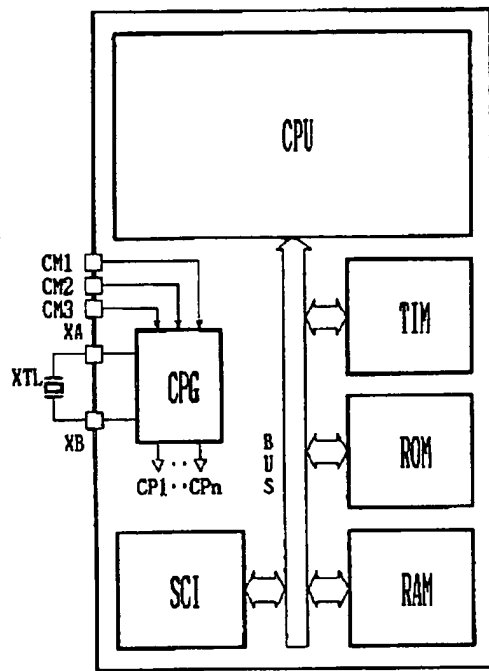
【図6】

図6 PLL回路出力周波数特性図



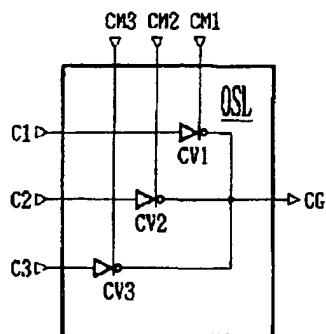
【図1】

図1 マイクロコンピュータブロック図



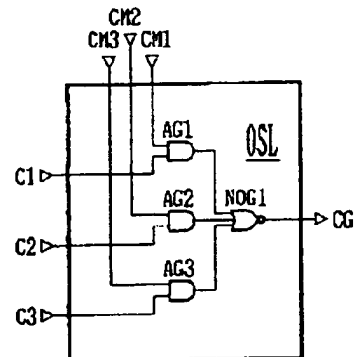
【図5】

図5 出力選択回路回路図 (実施例2)



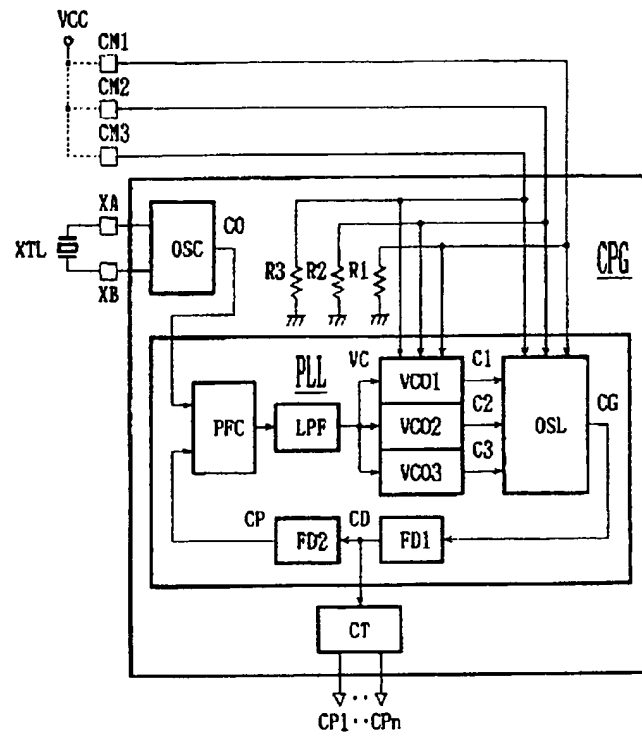
【図4】

図4 出力選択回路回路図 (実施例1)



【図2】

図2 クロック発生回路ブロック図



【図7】

図7 クロック発生回路ブロック図

